

## KOREAN PATENT ABSTRACTS

(11) Publication number: **100471773 B1**  
(44) Date of publication of specification: **03.02.2005**

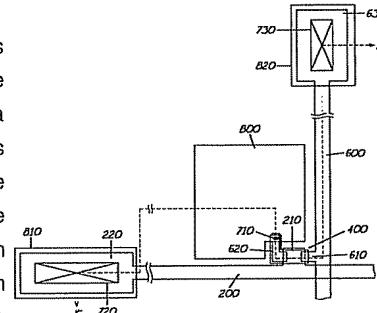
(21) Application number: **1019970047729**  
(22) Date of filing: **19.09.1997**  
(30) Priority: ..  
(51) Int. Cl **H01L 27/12**

(71) Applicant: **SAMSUNG ELECTRONICS CO., LTD.**  
(72) Inventor: **KIM, YANG SEON**

**(54) METHOD FOR FABRICATING INTERCONNECTION USING MOLYBDENUM OR MOLYBDENUM ALLOY AND METHOD FOR FABRICATING TFT USING THE SAME TO USE MOLYBDENUM ALLOY AS GATE LINE AND DATA LINE OF LCD**

**(57) Abstract:**

PURPOSE: A method for fabricating a TFT(thin film transistor) is provided to use molybdenum alloy as a gate line and a data line of an LCD by using aluminum etchant and chrome etchant in a taper process. CONSTITUTION: A dual conductive layer is formed on a substrate and is patterned to form a gate electrode (210) and a gate line(200) which have a taper angle. The gate electrode and the gate line are covered with a gate insulation layer. A semiconductor layer is formed on the gate insulation layer. The dual conductive layer is formed and patterned to form a data line(600), a source electrode(610) and a drain electrode (620) in which at least an upper conductive layer has a taper structure. A passivation layer is stacked. The passivation layer and the gate insulation layer are etched together by a photolithography process to expose the drain electrode, a part of the end of the data line or a part of the end of the gate line. A transparent conductive material is stacked and etched to form a conductive layer pattern connected to the gate line, the data line or the drain electrode. The dual conductive layer for forming the gate electrode and the gate line and the dual conductive layer for forming the data line, the source electrode and the drain electrode are etched together in the same etch condition.



copyright KIPO 2006

**Legal Status**

Date of request for an examination (20020919).  
Notification date of refusal decision (00000000)  
Final disposal of an application (registration)  
Date of final disposal of an application (20050120)  
Patent registration number (1004717730000)  
Date of registration (20050203)  
Number of opposition against the grant of a patent ( )  
Date of opposition against the grant of a patent (00000000)  
Number of trial against decision to refuse ( )  
Date of requesting trial against decision to refuse ( )

특 1999-025890

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.  
H01L 27/12(11) 공개번호 특 1999-025890  
(43) 공개일자 1999년 04월 06일(21) 출원번호 특 1997-047729  
(22) 출원일자 1997년 09월 19일(71) 출원인 삼성전자 주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416(72) 발명자 김양선  
경기도 수원시 팔달구 매탄동 주공4단지마파트 404동 402호

(74) 대리인 김원호, 최현석

설명구 : 없음

(54) 폴리브텐 또는 폴리브텐 합금을 이용한 배선의 제조 방법 및 이를 이용한 박막 트랜지스터의 제조 방법

## 요약

폴리브텐 또는 폴리브텐 합금을 이용한 배선의 제조 방법 및 이를 이용한 박막 트랜지스터의 제조 방법에 관한 것으로서, 크롬, 폴리브텐 또는 폴리브텐 합금의 단일막 또는 이들의 조합으로 이루어진 이중막을 이용하여 표시 장치, 특히 액정 표시 장치의 데이터 배선 및 소스/드레인 전극을 형성한다. 이때, 데이터 배선 및 소스/드레인 전극을 하부는 크롬막 상부는 폴리브텐-팅스텐 합금막으로 형성하는 경우에 완만한 경사 쟁각이 가능하다.

## 기초도

## 도면

## 양식서

## 도면의 간략화 설명

도 1 내지 도 3은 본 발명의 실시예에 따른 폴리브텐 합금(Mow)의 특성을 도시한 그라프이고,

도 4는 본 발명에 따른 폴리브텐 합금(Mow)막의 쟁각 프로파일을 도시한 단면도이고,

도 5 내지 8은 본 발명의 실시예에 따른 폴리브텐 합금(Mow)과 알루미늄 합금(Al alloy)으로 이루어진 이중막의 쟁각 프로파일을 도시한 도면이고,

도 9a 및 9b는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기판의 구조를 도시한 평면도이고,

도 10은 도 9a에서 X-X'선을 따라 절단한 단면도이고,

도 11a 내지 도 11d는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 도시한 단면도이고,

도 12는 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판의 구조를 도시한 평면도이고,

도 13은 도 12에서 XII-XII'선을 따라 절단한 단면도이고,

도 14a 내지 도 14c는 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 도시한 단면도이고,

도 15는 본 발명의 제 1 실시예에 따른 폴리브텐-팅스텐 합금막의 쟁각비를 도시한 그라프이고,

도 16은 본 발명의 제 2 실시예에 따른 박막 트랜지스터의 제조 방법에서 데이트 패턴을 이중막으로 형성하는 경우에 쟁각 프로파일을 도시한 단면도이고,

도 17은 본 발명의 제 3 실시예에 따른 박막 트랜지스터의 제조 방법에서 데이트 패턴을 이중막으로 형성하는 경우에 쟁각 프로파일을 도시한 단면도이다.

## 발명의 양식화 설명

## 발명의 목적

### 발명이 속하는 기술분야 및 그 분야의 종류기술

본 발명은, 톨리브덴 또는 톨리브덴 합금을 이용한 반도체 장치의 제조 방법에 관한 것이다.

일반적으로 반도체 장치의 배선은 신호가 전달되는 수단으로 사용되므로 신호 지연 및 단선을 억제하는 것이 요구된다.

단선을 방지하는 방법으로는 배선을 다층으로 형성하는 방법이 제시되고 있으나, 다층의 배선을 형성하기 위해 서로 다른 식각액이 필요할 뿐 아니라 여러 번의 식각 공정이 필요하게 된다.

신호 지연을 방지하는 방법으로는 저저항을 가지는 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 툴질을 사용하는 것이 일반적이다. 그러나, 알루미늄 또는 알루미늄 합금을 사용하는 경우에는 양극 산화 공정을 부가하여 알루미늄의 우수한 톤리적인 특성을 보강할 필요가 있다. 또한 액정 표시 장치에서와 같이 패드부에서 ITO(indium tin oxide)를 사용하여 알루미늄을 보강하는 경우 알루미늄 또는 알루미늄 합금과 ITO의 접촉 특성이 좋지 않아 다른 금속을 개재하여야 하는 문제점을 가지고 있다.

### 발명이 이루고자 하는 기술적 과정

본 발명은 이러한 문제점을 해결하기 위한 것으로서, 배선을 다층으로 형성하는 경우에도 각층이 동일한 식각 조건에서 유사한 식각비를 보이는 배선용 합금을 제공하고, 이를 이용하여 표시 장치의 제조 공정을 단순화하고 제품의 특성을 향상시키는 것이 그 과제이다.

### 발명의 구성 및 작동

본 발명에 따른 배선은 동일한 식각 조건에서 템파이퍼(taper) 형상으로 가공할 수 있으며 템파이퍼 각도가 20~70°의 범위인 미중의 도전막이거나, 동일한 식각 조건에서 하부 도전막의 식각비보다 상부 도전막의 식각비가 70~100Å/sec 정도 큰 미중의 도전막으로 이루어진다.

여기에서 식각 방법이 습식 식각인 경우에는 동일한 식각 조건이란 동일한 식각액을 사용하는 것을 의미한다.

이러한 도전막은 15μΩcm 미하의 낮은 비저항을 가지는 하부 도전막과 패드용 툴질로 이루어진 상부 도전막으로 이루어진다. 여기에서, 패드용 툴질이란 패드로서 사용될 수 있는 특성을 가진 툴질을 의미한다. 그 특성에 대해서는 실시예에서 설명하기로 한다.

여기서, 하부 도전막으로는 알루미늄 또는 알루미늄 합금이 사용되며, 상부 도전막으로는 원자 백분율 0.01%~20% 미만의 텁스텐(W)과 나머지 톨리브덴(Mo) 및 불가피한 불순물로 이루어진 톨리브덴 조성을 또는 합금이 사용된다. 톨리브덴 합금에서 텁스텐의 조성비는 원자 백분율 9%~11%, 특히, 10%인 것이 바람직하다.

이러한 톨리브덴 합금 조성을은 비저항이 12~14μΩcm 정도로 작고 패드로서 사용이 가능하므로 단일막 배선으로 이용될 수 있다.

하부에 형성된 도전막이 알루미늄 합금인 경우에는 할유된 전이 금속 또는 희토류 금속이 5% 미하인 것이 좋다.

습식 식각시 식각액은 알루미늄 또는 알루미늄 합금을 식각하는 데 사용되는 식각액으로서, 예를 들면, CH<sub>3</sub>COOH/HNO<sub>3</sub>/H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>O를 들 수 있으며, 이때 HNO<sub>3</sub>의 농도는 8~14%인 것이 바람직하다.

이러한 미중의 도전막은 표시 장치에서 주사 신호를 인가하는 게이트선 또는 데이터 신호를 인가하는 데이터선으로 사용할 수 있다.

이러한 본 발명에 따른 배선의 제조 방법은 한 기판의 상부에 하부 도전막을 적층하고 하부 도전막의 상부에 동일한 식각 조건에서 하부 도전막의 식각비보다 식각비가 70~100Å/sec 정도 큰 상부 도전막을 적층한다. 다음, 상부 도전막 및 하부 도전막을 동시에 식각하여 배선을 완성한다.

이러한 미중의 도전막으로 이루어진 배선의 제조 방법은 표시 장치의 제조 방법에서 주사 신호를 인가하는 게이트선 또는 데이터 신호를 인가하는 데이터선의 제조 방법에도 적용할 수 있다.

앞에서 설명한 바와 같이 이러한 톨리브덴-텅스텐 배선을 이용하여 액정 표시 장치를 제작할 수 있다.

본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서는 기판 위에 원자 백분율 0.01%~20% 미만의 텁스텐과 나머지 톨리브덴 및 불가피한 불순물로 이루어진 톨리브덴 합금을 적층하고 식각액을 이용하여 톨리브덴 합금막을 패터닝하여 게이트선, 게이트 패드 및 게이트 전극을 포함하는 게이트 배선을 형성한다.

여기서, 톨리브덴 합금막의 하부에 알루미늄 또는 알루미늄 합금으로 이루어진 도전막을 적층하는 것도 가능하며, 톨리브덴 합금막을 패터닝할 때, 도전막을 함께 패터닝한다.

또한, 이러한 본 발명에 따른 박막 트랜지스터 기판의 제조 방법에서 데이터선, 데이터 패드 및 소스/드레인 전극을 포함하는 데이터 배선은 원자 백분율 0.01%~20% 미만의 텁스텐과 나머지 톨리브덴 및 불가피한 불순물로 이루어진 톨리브덴-텅스텐 합금, 크롬 또는 톨리브덴의 단일막 또는 이들을 조합한 다중막으로 형성한다.

이 데이터선, 데이터 패드 및 소스/드레인 전극을 하부막은 크롬막, 상부막은 톨리브덴-텅스텐 합금막으로 형성하는 경우에 동일한 식각액으로 상부막과 하부막을 동일한 식각하여 템파이퍼 형상으로 가공한다.

여기서, 식각액은 크롬을 식각하는 데 사용되는 식각액으로서, 예를 들면, HNO<sub>3</sub>/(NH<sub>4</sub>)<sub>2</sub>Cr(NO<sub>3</sub>)<sub>5</sub>/H<sub>2</sub>O를 들 수

있으며, 이때  $HNO_3$ 의 농도를 4~10%,  $(NH_4)_2Ce(NO_3)_6$ 의 농도는 10~15%인 것이 바람직하다.

그러면 첨부한 도면을 참고로 하여 본 발명의 실시예를 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자가 용이하게 실시할 수 있을 정도로 상세히 설명한다.

반도체 장치, 특히 표시 장치의 배선으로는 15  $\mu$   $Ω$  cm 미하의 낮은 비저항을 가지는 알루미늄, 알루미늄 합금, 틀리브덴, 구리 등과 같은 물질이 적합하다. 한편, 배선은 외부로부터 신호를 받거나, 외부로 신호를 전달하기 위한 패드를 가지고 있어야 한다. 패드용 물질은 일정 수준 미하의 비저항을 가져야 하며, 또한 산화가 잘되지 않아야 하며 제조 과정에서 쉽게 단선이 발생하지 않아야 한다. 알루미늄과 알루미늄 합금은 비저항이 매우 낮으나 산화가 잘되고 제조 과정에서 쉽게 단선이 발생하기 때문에 패드용 물질로는 적합하지 않다. 이와는 달리 크롬, 탄탈륨, 타이타늄, 틀리브덴 및 그 합금 등과 같은 물질은 패드용으로 적합하다. 알루미늄에 비하여 비저항이 크다. 따라서, 배선을 만들 때에는 두 가지 특성을 모두 가진 금속을 사용하거나, 하부에는 저저항 도전막을 사용하고 상부에는 패드용 도전막을 사용하여 저항이 낮으면서도 패드로 사용할 수 있도록 한다.

또한, 배선을 미중으로 하는 경우 등일한 식각 조건, 특히 습식 식각인 경우 하나의 식각액을 이용하여 동시에 식각하되 완만한 경사각을 가지는 태이퍼 형태로 가공한다. 이를 위해서는 등일한 식각액에 대하여 20~70° 미만의 범위에서 태이퍼 각도를 가지거나, 상부 도전막의 식각비가 하부 도전막의 식각비에 비하여 70~100  $Å/sec$  정도 큰 것이 바람직하다. 또한 단일막으로 배선을 형성하는 경우에도 20~70° 미만의 범위에서 태이퍼 각도를 가지는 것이 바람직하다.

이러한 과정에서, 본 발명의 실시예에 따른 배선을 합금으로 원자 백분율 0.01%~20% 미만의 텅스텐과 나머지 틀리브덴 및 불가피한 불순물로 이루어진 틀리브덴 합금을 개발하였다. 여기에서, 텅스텐의 조성비는 원자 백분율 5%~15%, 나마가 9%~11%인 것이 바람직하다.

도 1 내지 도 3은 본 발명의 실시예에 따른 틀리브덴-텅스텐 합금(MoW)의 특성을 도시한 그래프이다.

도 1은 본 발명의 실시예에 따른 틀리브덴-텅스텐 합금의 증착 특성을 도시한 것으로서, 가로축은 텅스텐 함유량을 원자 백분율로 나타낸 것이고 세로축은 단위 전력당 증착되는 두께를 나타낸 것이다.

도 1에서 알 수 있듯이, 텅스텐의 함유량이 원자 백분율 20(atomic%) 미하인 경우 단위 전력당 증착되는 틀리브덴-텅스텐 합금막의 두께는 1.20~1.40 ( $Å/W$ )의 범위이다.

도 2는 본 발명의 실시예에 따른 틀리브덴-텅스텐 합금의 비저항 특성을 도시한 것으로서, 가로축은 텅스텐 함유량을 원자 백분율로 나타낸 것이고 세로축은 그에 따른 비저항을 나타낸 것이다.

도 2에서 알 수 있듯이, 텅스텐(W)의 함유량에 따라 틀리브덴-텅스텐 합금의 비저항(R)은 12.0~14.0 ( $μΩ$  cm)으로 나타났다.

이와 같이, 원자 백분율 20% 미하의 텅스텐을 함유한 틀리브덴-텅스텐 합금은 15  $μ$   $Ω$  cm 미하의 낮은 비저항을 가지므로 단일막으로 만들어 배선으로 사용해도 무방하지만, 패드용 물질로서의 성질을 가지고 있기 때문에 알루미늄이나 그 합금 등의 상부에 적층되어 배선으로 사용될 수 있다. 특히, 표시 장치의 신호선, 미중에서도 액정 표시 장치의 게이트선 또는 데이터선으로 사용할 수 있다.

도 3은 본 발명의 실시예에 따른 틀리브덴-텅스텐 합금의 식각비(etch rate) 특성을 도시한 것으로서, 가로축은 텅스텐 함유량을 원자 백분율로 나타낸 것이고 세로축은 알루미늄 식각액에 대하여 단위 시간당 식각되는 정도를 나타낸 것이다.

다시 말하면, 틀리브덴-텅스텐 합금 박막이 알루미늄 합금의 식각액( $HNO_3 : H_3PO_4 : CH_3COOH : H_2O$ )에 대하여 단위 시간당 식각되는 정도를 텅스텐(W)의 함유량에 따라 나타낸 것이다.

도 3에서 알 수 있듯이, 텅스텐의 함유량이 0%인 경우에는 식각비가 250 ( $Å/sec$ ) 정도로 매우 크게 나타나지만 텅스텐의 함유량이 5%인 경우에는 식각비가 100 ( $Å/sec$ ) 정도로 나타난다. 그리고 텅스텐의 함유량이 15~20% 사이에서는 50 ( $Å/sec$ ) 미하로 떨어짐을 알 수 있다.

한편, 비저항이 매우 낮은 알루미늄 또는 그 합금은  $HNO_3$ (8~14%) :  $H_3PO_4$  :  $CH_3COOH$  :  $H_2O$ 로 이루어진 알루미늄 식각액에 대하여 40~80 ( $Å/sec$ ) 정도의 식각비를 가지므로, 이 정도의 식각비보다 70~100 ( $Å/sec$ ) 정도가 큰 식각비를 가지는 틀리브덴-텅스텐 합금막을 알루미늄 막 또는 알루미늄 합금막의 상부에 형성하면 우수한 미중막 배선을 얻을 수 있다.

도 4는 본 발명의 실시예에 따른 틀리브덴-텅스텐 합금막의 식각 프로파일을 도시한 도면이다.

도 4는 틀리브덴 합금의 단일막을 알루미늄 합금의 식각액을 이용하여 식각한 프로파일을 나타낸 것으로, 완만한 프로파일이 형성됨을 알 수 있다.

즉, 기판(1) 상부에 원자 백분율 10%의 텅스텐이 함유된 텅스텐-틀리브덴 합금막(2)을 3,000  $Å$  정도의 두께로 증착한 다음, 알루미늄 합금 식각액을 이용하여 식각을 실시하면 20~25°의 각을 가지는 완만한 프로파일이 형성되었다.

한편, 도 3에서 알 수 있는 바와 같이, 텅스텐의 조성비를 조절하여 틀리브덴-텅스텐 합금막의 식각비를 100 ( $Å/sec$ ) 미만으로 낮출 수 있으므로 틀리브덴-텅스텐 합금으로 이루어진 단일막으로도 표시 장치용 특히, 액정 표시 장치의 게이트선 또는 데이터선으로 사용할 수 있다.

도 5 내지 도 8은 알루미늄 합금과 틀리브덴-텅스텐 합금의 미중막을 알루미늄 합금의 식각액을 이용하여 식각한 경우 미중막 프로파일(prof ile)을 도시한 것이다. 기판(1) 상부에 알루미늄 또는 알루미늄 합금막(3)을 2,000  $Å$  정도의 두께로 증착하고, 그 위에 틀리브덴-텅스텐 합금막(2)을 1,000  $Å$  정도의 두께로 증착한 다음, 알루미늄 식각액을 이용하여 알루미늄 합금막(3) 및 틀리브덴-텅스텐 합금막(2)을 동시에 식각하였다.

여기서, 알루미늄 합금은 알루미늄을 기본 물질로 하고, 여기에 Ti, Cr, Ni, Cu, Zr, Nb, Mo, Pd, Hf, Ta, W 등의 전이 원소(transition metal) 또는 Nd, Gd, Dy, Er 등의 희토류 금속(rare earth metal) 중 2 원소 또는 3원소가 결합된 합금으로서, 함유된 전이 원소 또는 희토류 금속은 원자 백분율 5% 미하이다.

또한, 식각액은 알루미늄 식각액( $HNO_3$  :  $H_3PO_4$  ;  $CH_3COOH$  :  $H_2O$ )를 사용하였으며, 바람직하게는 질산이 8~14% 정도 함유된 것이 좋다.

도 5는 르리브덴-텅스텐 합금막에서 텁스텐의 함유율이 5%인 경우로서 30~40°의 프로파일을 나타내고 있고, 텁스텐의 함유율이 10%인 도 6의 경우에는 40~50°의 프로파일을 나타내고 있다. 텁스텐 함유율이 15%가 되면 도 7에서와 같이 프로파일이 80~90°가 되고, 텁스텐의 함유율이 20%가 되면 도 8에서와 같이 90°의 프로파일을 보여주고 있다.

또한, 본 발명의 실시예에서 알루미늄 합금과 르리브덴-텅스텐 합금의 이중막을 알루미늄 식각액을 이용하여 식각하는 경우에는, 식각 후에 얼룩이 나타나지 않았다.

이와 같이, 알루미늄 합금과 원자 백분율 20% 미하의 텁스텐이 함유된 르리브덴-텅스텐 합금으로 이루어진 이중막을 알루미늄 합금 식각액을 이용하여 식각하는 경우에, 30~90°의 범위에서 테이퍼 각도가 형성된다. 또한, 도 6에서 보는 바와 같이, 텁스텐 함유량이 10%정도, 즉 9%~11%인 경우에 가장 바람직한 테이퍼 각도(40~50°)가 형성된다.

그러면, 이러한 배선을 이용한 액정 표시 장치용 박막 트랜지스터 기판에 대하여 상세히 설명한다.

먼저, 도 9a, 9b 및 도 10를 참고로 하여 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 구조에 대하여 설명한다. 여기에서, 도 10은 도 9a에서 X-X'선의 단면도이다.

기판(100) 위에 게이트선(200) 및 그 분지인 게이트 전극(210), 그리고 게이트선(200)의 끝에 형성되어 있는 게이트 패드(220)로 이루어진 게이트 패턴이 형성되어 있다. 게이트 전극(210) 및 게이트 패드(220)는 각각 하층의 알루미늄막 또는 알루미늄 합금막(211, 221)과 상층의 르리브덴-텅스텐 합금막(212, 222)으로 이루어져 있으며, 게이트선(200) 역시 알루미늄막 또는 알루미늄 합금막과 르리브덴-텅스텐 합금막의 이중막으로 이루어져 있다. 여기에서 게이트 패드(220)는 외부로부터의 주사 신호를 게이트선(200)으로 전달한다.

게이트 패드(200, 210, 220) 위에는 게이트 절연층(300)이 형성되어 있으며, 이 게이트 절연층(300)은 게이트 패드(220)의 상층인 르리브덴-텅스텐 합금막(222)을 노출시키는 접촉 구멍(720)을 가지고 있다. 게이트 전극(210) 상부의 게이트 절연층(300) 위에는 수소화된 비정질 실리콘(a-Si:H)층(400) 및 n+ 불순물로 고농도로 도핑된 수소화된 비정질 실리콘층(510, 520)이 게이트 전극(210)을 중심으로 양쪽에 형성되어 있다.

게이트 절연층(300) 위에는 또한 세로로 데이터선(600)이 형성되어 있고 그 한 쪽 끝에는 데이터 패드(630)가 형성되어 외부로부터의 회상 신호를 전달한다. 데이터선(600)의 분지인 소스 전극(610)이 한 쪽 도핑된 비정질 실리콘층(510) 위에 형성되어 있으며, 소스 전극(610)의 맞은 편에 위치한 도핑된 비정질 실리콘층(520) 위에는 드레인 전극(620)이 형성되어 있다. 여기서, 데이터선(600), 소스 및 드레인 전극(610, 620), 데이터 패드(630)를 포함하는 데이터 패턴은 르리브덴-텅스텐 합금막으로 이루어져 있다. 한편, 도 9b에서는 게이트 패드(220) 부근의 게이트 절연층(300) 위에는 게이트 보조 패드부(640)가 추가로 형성되어 있다.

데이터 패턴(600, 610, 620, 630) 및 미 데이터 패턴으로 가려지지 않은 비정질 실리콘층(500) 위에는 보호막(700)이 형성되어 있으며, 이 보호막(700)에는 게이트 패드(220)의 상층 르리브덴-텅스텐 합금막(222), 드레인 전극(620), 데이터 패드(630)를 노출시키는 접촉 구멍(720, 710, 730)이 각각 형성되어 있다. 한편, 도 9b에서는 게이트 보조 패드부(640) 상부에 보호막(700)의 접촉 구멍(740)이 형성되어 있다.

마지막으로, 보호막(700) 위에는 접촉 구멍(710)을 통하여 드레인 전극(620)과 연결되어 있으며 ITO로 만 들어진 하소 전극(800)이 형성되어 있으며, 접촉 구멍(720)을 통하여 노출된 게이트 패드(220)와 접촉되어 외부로부터의 신호를 게이트선(200)에 전달하는 게이트 패드용 ITO 전극(810), 접촉 구멍(730)을 통하여 데이터 패드(630)와 접촉되어 외부로부터의 신호를 데이터선(600)에 전달하는 데이터 패드용 ITO 전극(820)이 형성되어 있다. 한편, 도 9b에서 게이트 패드용 ITO 전극(810)은 게이트 보조 패드부(640)까지 연장되어 접촉 구멍(740)을 통하여 연결되어 있다.

도 9a 및 도 9b에서 보는 바와 같이, 외부로부터의 신호가 실질적으로 직접 인가되어 패드가 되는 부분은 게이트 패드용 ITO 전극(810)과 데이터 패드용 ITO 전극(820)이다.

그러면, 도 9a 및 도 10에 도시한 구조의 박막 트랜지스터 기판을 제조하는 방법에 대하여 도 11a 내지 도 11d를 참고로 하여 설명한다. 본 실시예에서 제시하는 제조 방법은 5장의 마스크를 이용한 제조 방법이다.

도 11a에 도시한 바와 같이, 특명한 절연 기판(100) 위에 1000~3000Å의 두께로 알루미늄막 또는 알루미늄 합금막과 500~1000Å의 두께로 르리브덴-텅스텐 합금막을 차례로 적층하고 제1 마스크를 이용하여 사진 식각하여 게이트선(200), 게이트 전극(210) 및 게이트 패드(220)를 포함하여 미루어진 게이트 패턴을 형성한다. 즉, 도 11a에 도시한 것처럼, 게이트 전극(210)은 아래의 알루미늄 또는 알루미늄 합금막(211)과 위의 르리브덴-텅스텐 합금막(212)으로, 게이트 패드(220)는 아래의 알루미늄 또는 알루미늄 합금막(221)과 위의 르리브덴-텅스텐 합금막(222)으로 이루어지며, 도 11a에 도시하지는 않았지만, 게이트선(210) 역시 이중막으로 이루어진다.

여기에서, 르리브덴-텅스텐 합금막은 원자 백분율 0.01% 미상 20% 미만의 텁스텐(W)과 나머지 르리브덴(Mo)으로 이루어져 있으며, 텁스텐의 함유율은 원자 백분율 9~11%인 것이 바람직하다. 알루미늄 합금막은 알루미늄과 5% 미하의 희토류 금속 또는 전이 금속으로 이루어져 있다. 또한, 알루미늄 식각액, 예를

들면,  $\text{CH}_3\text{COOH}/\text{HNO}_3/\text{H}_3\text{PO}_4/\text{H}_2\text{O}$  등을 사용하여  $\text{HNO}_3$ 의 함량은 8~14% 범위에서 활용된 것이 바람직하다.

또한, 게이트 패턴은 알루미늄, 알루미늄 합금 및 텁스텐-倜리브덴 합금 중 하나의 물질을 증착하여 단일 막으로 형성할 수도 있다.

도 11b에 도시한 바와 같이, 두께 3000~5000 Å의 질화규소로 이루어진 게이트 절연층(300), 두께 1000~3000 Å의 수소화된 비정질 실리콘층(400) 및 두께 300~1000 Å의 N형의 불순물로 고농도로 도핑된 수소화된 비정질 실리콘층(500)을 차례로 적층한 후, 도핑된 비정질 실리콘층(500) 및 비정질 실리콘층(400)을 제2 마스크를 이용하여 사전 식각한다.

도 11c에 도시한 바와 같이, 원자 백분율 0.01% 이상 20% 미만의 텁스텐을 포함하는 티리브덴-텅스텐 합금 막을 두께 2000~4000 Å으로 적층한 후, 제3 마스크를 이용하여 습식 식각하여 데미터션(600), 소스 전극(610) 및 드레인 전극(620), 데미터 패드(630) 및 게이트 패드 연결부(640)를 포함하는 데미터 패턴을 형성한다.

데미터 패턴(600, 610, 620, 630)은 크롬, 티리브덴 또는 티리브덴-텅스텐 합금 중 하나의 단일막 또는 미틀을 조합한 미종막으로 형성될 수도 있다. 또한 저항을 낮추기 위하여 알루미늄막 또는 알루미늄 합금막을 추가 할 수도 있다.

이때, 데미터 패턴을 하부막은 크롬막, 상부막은 티리브덴-텅스텐 합금막으로 형성하는 경우에 등밀한 쇠각 조건에서 상부막과 하부막을 차례로 식각하여 테이퍼 형상으로 가공한다. 상세하게는 미루의 실험 예 1, 2 및 3에서 설명하기로 한다.

여기서, 쇠각액은 크롬을 식각하는 데 사용되는 쇠각액으로서, 예를 들면,  $\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ 를 들 수 있으며, 이때  $\text{HNO}_3$ 의 농도를 4~10%,  $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$ 의 농도는 10~15%인 것이 바람직하다.

이어 데미터 패턴(600, 610, 620, 630)을 마스크로 삼아 노출된 도핑된 비정질 실리콘층(500)을 플라스마 건식 식각하여 게이트 전극(210)을 중심으로 양쪽으로 분리시키는 한편, 양 도핑된 비정질 실리콘층(510, 520) 사이의 비정질 실리콘층(400)을 노출시킨다.

도 11d에 도시한 바와 같이, 2000~4000 Å의 두께로 보호막(700)을 적층한 후 제4 마스크를 이용하여 절연막(300)과 함께 사전 식각하여, 게이트 패드(220)의 상층 티리브덴-텅스텐 합금막(222), 드레인 전극(620) 및 데미터 패드(630)를 노출시키는 접촉 구멍(720, 710, 730)을 형성한다.

여기서, 데미터 패턴을 형성할 때 게이트 보조 패드부(640)를 추가로 형성하고, 보호막(700)의 접촉 구멍(740)을 추가로 형성하여 9b와 같은 구조로 형성할 수 있다.

이때, 데미터 패드(630)를 미종막으로 형성하고, 알루미늄막 또는 알루미늄 합금막을 상부막으로 형성하는 경우에는 알루미늄막 또는 알루미늄 합금막을 제거하도록 한다.

마지막으로, 도 10에 도시한 바와 같이, ITO를 적층하고 제5 마스크를 이용하여 건식 식각하여, 접촉 구멍(710, 730)을 통하여 각각 드레인 전극(620) 및 데미터 패드(630)와 접속되는 화소 전극(800) 및 데미터 패드용 ITO 전극(820), 그리고 접촉 구멍(720)을 통하여 게이트 패드(220)와 접속되는 게이트 패드용 ITO 전극(810)으로 이루어지는 ITO 패턴을 형성한다.

여기서, 도 9b에서와 같이 게이트 보조 패드부(640)와 접촉 구멍(740)을 추가하는 경우에는 게이트 패드용 ITO 전극(810)을 게이트 보조 패드부(640)까지 연장되도록 형성한다.

만약, 게이트 패드(220)의 상층을 알루미늄막 또는 알루미늄 합금막을 사용하면 게이트 패드용 ITO 전극(810)이 직접 닿아 산화 반응이 일어나기 때문에 게이트 패드가 불릴되기 쉽다. 그러나 게이트 패드(220)의 상층으로 티리브덴 합금막을 사용하면 이러한 문제점이 없어진다.

다음은, 도 12 및 도 13을 참고로 하여 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 구조에 대하여 설명한다. 여기에서, 도 13은 도 12에서 X111-X111 선의 단면도이며, 도 9 및 도 10과 동일한 도면 부호는 동일 또는 유사한 기능을 하는 부분을 나타낸다.

기판(100) 위에 게이트선(200) 및 그 분지인 게이트 전극(210), 그리고 게이트선(200)의 끝에 형성되어 있는 게이트 패드(220)로 이루어진 게이트 패턴이 형성되어 있다. 게이트 패턴은 티리브덴-텅스텐 합금의 단일막으로 이루어져 있으며, 게이트 패드(220)는 외부로부터의 주사 신호를 게이트선(200)으로 전달한다.

게이트 패턴(200, 210, 220) 위에는 게이트 절연층(300)이 형성되어 있으며, 이 게이트 절연층(300)은 게이트 패드(220)의 상부를 노출시키는 접촉 구멍(720)을 가지고 있다. 게이트 절연층(300) 위에는 수소화된 비정질 실리콘층(400)이 형성되어 있다. 비정질 실리콘층(400)은 게이트 전극(210)에 해당하는 위치에 형성되어 박막 트랜지스터의 활성층으로서 기능하며, 연장되어 세로로 길게 형성되어 있다.

비정질 실리콘층(400) 위에는 N형 불순물이 고농도로 도핑된 수소화된 비정질 규소층(510, 520)이 형성되어 있다. 그 위에는 티리브덴-텅스텐 합금막으로 이루어져 있는 데미터 패턴(610, 620)이 형성되어 있으며, 도핑된 비정질 실리콘층(510, 520)과 데미터 패턴(610, 620)은 등밀한 모양으로 형성되어 있다. 이를 두 층은 각각 게이트 전극(210)에 대하여 두 부분(510, 610 ; 520, 620)으로 나뉘어 있으며, 비정질 실리콘층(400)의 모양을 따라 형성되어 있다.

데미터 패턴(610, 620) 위에는 ITO 따위의 투명한 도전 물질로 이루어진 투명 도전층(830, 840)이 형성되어 있으며, 그 중 일부(830)는 데미터 패턴(610) 및 도핑된 비정질 실리콘층(510)의 패턴을 따라 형성되어 있으며, 다른 일부(840)는 데미터 패턴(620)을 덮으며 화소의 중앙 부분으로 연장되어 화소 전극이 된다.

마지막으로, ITO 패턴(830, 840) 및 ITO 패턴으로 가려지지 않는 게이트 절연층(300) 위에는 보호막(700)이 형성되어 있으며, 이 보호막(700)에는 게이트 패드(220) 및 투명 도전층(830)의 끝부분을 노출시키는 접촉 구멍(720, 730)이 각각 형성되어 있다.

그러면, 도 12 및 도 13에 도시한 구조의 박막 트랜지스터 기판을 제조하는 방법에 대하여 도 14a 내지 도 14d를 참고로 하여 설명한다. 본 실시예에서 제조 방법은 4장의 마스크를 이용한 제조 방법이다.

도 14a에 도시한 바와 같이, 투명한 절연 기판(100) 위에 2000~4000Å의 두께로 폴리브렌-텅스텐 합금막을 적층하고 제1 마스크를 이용하여 사진 식각하여 게이트선(200), 게이트 전극(210) 및 게이트 패드(220)를 포함하는 게이트 패턴을 형성한다.

여기에서, 폴리브렌-텅스텐 합금막은 원자 백분율 0.01% 이상 20% 미만의 텅스텐(W)과 나머지 폴리브렌(Mo)으로 이루어져 있으며, 텅스텐의 함유율은 원자 백분율 9~11%인 것이 바람직하다. 또한, 알루미늄 식각액, 예를 들면,  $\text{CH}_3\text{COOH}/\text{HNO}_3/\text{H}_3\text{PO}_4/\text{H}_2\text{O}$  등을 사용하여  $\text{HNO}_3$ 의 함량은 8~14% 범위에서 함유된 것이 바람직하다.

또한, 게이트 패턴은 폴리브렌-텅스텐 합금막의 하부에 알루미늄막 또는 알루미늄 합금을 추가하여 이중막으로 형성할 수 있으며, 이를 중 하나의 물질을 증착하여 단일막으로 형성할 수도 있다.

여기서, 알루미늄 합금막을 사용하는 경우, 알루미늄 합금막은 알루미늄과 5% 미하의 희토류 금속 또는 전이 금속으로 이루어져 있다.

다음, 두께 3000~5000Å의 질화구소로 이루어진 게이트 절연층(300), 두께 1000~3000Å의 수소화된 비정질 실리콘층(400), 두께 300~1000Å의 N형의 불순물로 고농도로 도핑된 수소화된 비정질 실리콘층(500) 및 두께 2000~4000Å의 원자 백분율 0.01% 이상 20% 미만의 텅스텐을 포함하는 폴리브렌-텅스텐 합금막(600)을 차례로 적층하고, 제2 마스크를 이용하여 도 14b에 도시한 바와 같이 폴리브렌-텅스텐 합금막(600), 도핑된 비정질 실리콘층(500) 및 비정질 실리콘층(400)을 패터닝한다.

폴리브렌-텅스텐 합금막(600)대신 크롬, 폴리브렌 또는 폴리브렌 합금 중 하나의 단일막 또는 이들을 조합한 이중막으로 형성할 수도 있다. 또한 저항을 낮추기 위하여 알루미늄막 또는 알루미늄 합금막을 추가할 수도 있다.

여기서, 폴리브렌-텅스텐 합금막(600)대신 하부막은 크롬막, 상부막은 폴리브렌-텅스텐 합금막으로 형성하는 경우에 동일한 식각 조건으로 상부막과 하부막을 차례로 식각하여 태이피 형상으로 가공할 수 있다.

이때, 식각액은 크롬을 식각하는 데 사용되는 식각액으로서, 예를 들면,  $\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ 를 틀 수 있으며, 이때  $\text{HNO}_3$ 의 농도를 4~10%,  $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$ 의 농도는 10~15%인 것이 바람직하다. 상세하게는 미후의 실험 예 1, 2 및 3에서 설명하기로 한다.

다음, 도 14c에서 보는 바와 같이, 두께 400~800의 투명 도전 물질인 ITO를 적층한 후 제3 마스크를 이용하여 투명 도전층(830, 840)을 패터닝한다. 이어, 투명 도전층(830, 840)을 마스크로 하여 노출된 폴리브렌-텅스텐 합금막(600) 및 도핑된 비정질 실리콘층(500)을 각각 증식 및 건식 식각하여 데이터 패턴(610, 620) 및 도핑된 비정질 실리콘층(510, 520)을 형성한다.

도 13에 도시한 바와 같이, 두께 2000~4000의 보호막(700)을 적층한 후 제4 마스크를 이용하여 절연층(300)과 함께 사진 식각하여, 게이트 패드(220) 및 데이터 패턴(610)의 끝부분에 대응하는 투명 도전막(830) 상부를 노출시키는 접촉 구멍(720, 730)을 형성한다.

다음은 앞에서 설명한 실시예에서 본 발명에 따른 박막 트랜지스터 기판의 제조 방법에서 데이터 패턴 또는 게이트 패턴을 크롬과 폴리브렌-텅스텐 합금막으로 형성하는 실시예를 통하여 상세히 설명한 것이다.

이는 앞의 실시예에서 설명하는 박막 트랜지스터의 제조 방법 중에서 게이트 패턴 또는 데이터 패턴을 아래의 실험 예를 통하여 형성하는 경우에는 미중막으로 이루어진 배선의 가공을 보여주는 것이다.

#### 실험 예 1

실험 예 1에서는 폴리브렌-텅스텐 합금막의 식각비를 측정하였다.

도 15는 본 발명의 실시예에 따른 폴리브렌-텅스텐 합금의 식각비(etch rate) 특성을 도시한 것으로서, 가로축은 텅스텐 함유물을 원자 백분율로 나타낸 것이고 세로축은 크롬 식각액에 대하여 단위 시간당 식각되는 정도를 나타낸 것이다.

다시 말하면, 폴리브렌-텅스텐 합금 박막이 크롬 식각액( $\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ )에 대하여 단위 시간당 식각되는 정도를 텅스텐(W)의 함유량에 따라 나타낸 것이다.

도 15에서 알 수 있듯이, 텅스텐의 함유량이 0%인 경우에는 식각비가 250(Å/sec) 정도로 매우 크게 나타나지만 텅스텐의 함유량이 10%인 경우에는 식각비가 100(Å/sec) 정도로 나타난다. 그리고 텅스텐의 함유량이 15~25% 사이에서는 80~40(Å/sec) 정도로 떨어짐을 알 수 있다.

한편, 크롬은  $\text{HNO}_3$ (4~10%) :  $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$ (10~15%) :  $\text{H}_2\text{O}$ 으로 이루어진 크롬 식각액에 대하여 40~60(Å/sec) 정도의 식각비를 가지므로, 이 정도와 유사한 식각비를 가지는 폴리브렌-텅스텐 합금막을 크롬막의 상부에 형성하면 우수한 미중막 배선을 얻을 수 있다.

#### 실험 예 2

실험 예 2에서는 기판(1000) 상부에 크롬막(2000)을 2,000Å, 폴리브렌-텅스텐 합금막(3000)을 800Å 정도의 두께로 차례로 증착한 다음, 크롬을 식각하는 데 사용되는 식각액인  $\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ 으로 식각하였다. 여기서 텅스텐의 함유율은 20%이다.

도 16은 본 발명의 제2 실험 예에 따른 크롬막과 폴리브렌-텅스텐 합금막의 식각 프로파일을 도시한 단면도

이다.

도 16에서 보는 바와 같이,  $20^\circ$  정도의 경사각을 가지는 석각 프로파일이 형성되어 있다.

#### 실험 예 3

실험 예 3에서는 기판(1000) 상부에 크롬막(2000)을  $1,500\text{ \AA}$ , 폴리브덴-텅스텐 합금막(3000)을  $500\text{ \AA}$  정도의 두께로 차례로 증착한 다음 석각을 실시하였다. 나머지 조건은 실험 예 1과 동일하다.

도 17은 본 발명의 제3 실험 예에 따른 크롬막과 폴리브덴-텅스텐 합금막의 석각 프로파일을 도시한 단면도이다.

실험 예 3에서는 도 17에서 보는 바와 같이,  $12\sim15^\circ$  정도의 경사각을 가지는 석각 프로파일이 형성되어 있다.

이러한 실험 예로 볼 때, 특히 박막 트랜지스터에서 데미터 패턴 또는 게이트 패턴을 폴리브덴-텅스텐 합금 막과 크롬막의 미증막을 적용하는 경우에 한 번의 공정을 통하여 완만한 경사각을 가지는 텐미퍼 가공이 가능한 동시에 저저항으로 대화면의 표시 장치에 유리하다.

#### 설명의 종결

따라서 본 발명에 따른 표시 장치의 제조 방법에서는 폴리브덴 합금은 저저항을 가지며, 텐미퍼 가공 시 알루미늄 석각액 및 크롬 석각액을 사용할 수 있으므로 액정 표시 장치의 게이트선과 데미터선으로 이용하는 데 매우 용이하며, 다. 또한 폴리브덴 합금 박막은 앞에서 기술한 바와 같은 특성을 가지므로 액정 표시 장치의 동작 특성을 확장시킬 수 있는 효과가 있다.

### (5) 청구항 범위

#### 청구항 1

하부 도전막은 크롬막 상부 도전막은 원자 백분율  $0.01\% \sim 25\%$  미만의 텡스텐과 나머지 폴리브덴 및 불가피한 불순물로 이루어진 폴리브덴 합금막으로 이루어진 미증 도전막의 배선.

#### 청구항 2

제1항에서,

상기 폴리브덴 합금막의 상기 텡스텐의 조성비는 원자 백분율  $18\% \sim 22\%$ 의 범위인 배선.

#### 청구항 3

제2항에서, 상기 텡스텐의 조성비는  $20\%$ 인 배선.

#### 청구항 4

제3항에서, 상기 미증의 도전막은 표시 장치에서 사용되는 신호선인 배선.

#### 청구항 5

제4항에서, 상기 신호선은 데미터 신호를 인가하는 데미터선인 배선.

#### 청구항 6

기판 상부에 크롬막을 적층하는 단계,

상기 크롬막 상부에 원자 백분율  $0.01\% \sim 25\%$  미만의 텡스텐과 나머지 폴리브덴 및 불가피한 불순물로 이루어진 폴리브덴-텅스텐 합금막을 적층하는 단계, 그리고,

동일한 석각 조건에서 상기 크롬막과 상기 폴리브덴-텅스텐 합금막을 석각하는 단계를 포함하는 배선의 제조 방법.

#### 청구항 7

제6항에서,

상기 폴리브덴-텅스텐 합금막의 상기 텡스텐의 조성비는 원자 백분율  $18\% \sim 22\%$ 의 범위인 배선의 제조 방법.

#### 청구항 8

제7항에서, 상기 텡스텐의 조성비는  $20\%$ 인 배선의 제조 방법.

#### 청구항 9

제8항에서,

상기 미증의 도전막은 표시 장치에서 사용되는 신호선인 배선의 제조 방법.

#### 청구항 10

제9항에서,

상기 신호선은 데이터 신호를 인가하는 데이터선인 배선의 제조 방법.

#### 청구항 11

제10항에서,

상기 식각 조건에서 속식 식각인 경우 식각액은 상기 크롬막을 식각하기 위한 식각액인 배선의 제조 방법.

#### 청구항 12

제11항에서, 상기 식각액은  $\text{HNO}_3$  :  $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$  :  $\text{H}_2\text{O}$ 인 배선의 제조 방법.

#### 청구항 13

제12항에서, 상기  $\text{HNO}_3$ 의 농도는 4~10%인 배선의 제조 방법.

#### 청구항 14

제13항에서,  $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$ 의 농도는 10~15%인 배선의 제조 방법.

#### 청구항 15

기판 위에 원자 백분율 0.01%~20% 미만의 텅스텐과 나머지 틀리브덴 및 불가피한 불순물로 이루어진 틀리브덴 합금막을 적층하는 단계,

식각액을 이용하여 상기 틀리브덴 합금막을 패터닝하여 게이트선, 게이트 패드 및 게이트 전극을 형성하는 단계,

상기 기판 위에 게이트 절연막을 적층하는 단계,

상기 게이트 절연막 상부에 반도체층을 형성하는 단계,

하부에는 크롬막을 적층하고 상부에는 텅스텐과 나머지 틀리브덴 및 불가피한 불순물로 이루어진 틀리브덴 합금막을 적층하여 이중 도전막을 형성하는 단계,

상기 이중 도전막을 패터닝하여 데이터선, 소스 전극 및 드레인 전극을 형성하는 단계,

보호막을 적층한 후 상기 게이트 절연막과 함께 사진 식각하여 상기 드레인 전극 위에 콘택 구멍을 형성함과 동시에 상기 게이트 패드의 일부가 드러나도록 하는 단계,

투명 도전 물질을 적층한 후 식각하여 상기 게이트 패드와 접속되는 게이트 도전막 및 상기 드레인 전극과 접속되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 16

제15항에서,

상기 틀리브덴 합금막의 하부에 알루미늄 또는 알루미늄 합금으로 이루어진 도전막을 적층하는 단계를 더 포함하며, 상기 틀리브덴 합금막을 패터닝할 때 상기 식각액을 이용하여 상기 도전막을 함께 패터닝하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 17

제16항에서,

알루미늄 합금막은 알루미늄과 희토류 금속 또는 전이 금속으로 이루어진 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 18

제17항에서,

상기 알루미늄 합금막은 전이 금속 또는 희토류 금속이 5% 미하 함유되어 있는 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 19

제18항에서,

상기 식각액은  $\text{CH}_3\text{COOH}/\text{HNO}_3/\text{H}_3\text{PO}_4$ 를 인 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 20

제19항에서,

상기 식각액에서 상기  $\text{HNO}_3$ 은 8~14%의 범위에서 함유된 박막 트랜지스터 기판의 제조 방법.

#### 청구항 21

제20항에서,

상기 이중 도전막의 상기 틀리브덴 합금막에는 원자 백분율 18~22%의 범위로 상기 텅스텐을 포함하는 박

막 트랜지스터 기판의 제조 방법.

### 청구항 22

제21항에서,

상기 미중 도전막의 상기 폴리브텐 합금막에는 원자 백분율 20%인 상기 텁스텐을 포함하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 23

제22항에서,

상기 미중 도전막을 씁각하는 씁각액은  $\text{HNO}_3 : (\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6 : \text{H}_2\text{O}$ 인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

### 청구항 24

제23항에서,

상기  $\text{HNO}_3$ 의 농도는 4~10%인 박막 트랜지스터 기판의 제조 방법.

### 청구항 25

제24항에서,

$(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$ 의 농도는 10~15%인 박막 트랜지스터 기판의 제조 방법.

### 청구항 26

제25항에서,

상기 게이트 전극 및 게이트 패드를 상기 폴리브텐 합금막으로 이용하는 경우 상기 텁스텐의 조성비는 원자 백분율 5~15%의 범위인 박막 트랜지스터 기판의 제조 방법.

### 청구항 27

제26항에서,

상기 게이트 전극 및 게이트 패드의 상기 텁스텐의 조성비는 원자 백분율 9%~11%의 범위인 박막 트랜지스터 기판의 제조 방법.

### 청구항 28

제27항에서,

상기 게이트 전극 및 게이트 패드의 상기 텁스텐의 조성비는 원자 백분율 10%인 박막 트랜지스터 기판의 제조 방법.

### 청구항 29

기판 위에 원자 백분율 0.01%~20% 미만의 텁스텐과 나머지 폴리브텐 및 불가피한 불순물로 이루어진 제1 폴리브텐 합금막을 적층하는 단계;

실크액을 이용하여 상기 폴리브텐 합금막을 제1 마스크로 패터닝하여 게이트 패드 및 게이트 전극을 형성하는 단계;

상기 기판 위에 게이트 절연막, 비정질 실리콘층, 고농도 불순물로 도핑된 비정질 실리콘층 및 하부는 크루 상부는 제2 폴리브텐 합금막으로 이루어진 금속막을 차례로 적층하는 단계;

제2 마스크를 이용하여 상기 금속막, 도핑된 비정질 실리콘층 및 비정질 실리콘층의 일부를 차례로 씁각하는 단계;

상기 기판 상부에 투명 도전막을 증착하고 제3 마스크를 이용하여 상기 금속막의 상부에 개구부를 가지는 화소 전극을 형성하는 단계;

상기 화소 전극을 마스크로 하여 상기 도핑된 비정질 실리콘층 및 금속막을 씁각하여 콘택층 및 소스/드레인 전극을 형성하는 단계;

상기 기판 상부에 보호막을 형성한 후에 제4 마스크를 이용하여 상기 게이트 패드 상부에 상기 게이트 절연막과 상기 보호막을 사진 씁각하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

### 청구항 30

제29항에서,

상기 제1 폴리브텐 합금막의 하부에 알루미늄 또는 알루미늄 합금으로 이루어진 도전막을 적층하는 단계를 더 포함하며 상기 제1 폴리브텐 합금막과 동시에 패터닝하는 표시 장치용 박막 트랜지스터 기판의 제조 방법.

### 청구항 31

제30항에서,

상기 도전막은 알루미늄과 희토류 금속 또는 전이 금속으로 이루어진 박막 트랜지스터 기판의 제조 방법.

#### 청구항 32

제31항에서,

상기 알루미늄 합금에 함유되어 있는 전이 금속 또는 희토류 금속은 5% 미하인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 33

제32항에서,

상기 쟁각액은 알루미늄용 쟁각액인 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 34

제33항에서,

상기 쟁각액은  $\text{CH}_3\text{COOH}/\text{HNO}_3/\text{H}_3\text{PO}_4$  를인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 35

제34항에서,

상기 쟁각액에서 상기  $\text{HNO}_3$  은 8~14%의 범위에서 함유된 박막 트랜지스터 기판의 제조 방법.

#### 청구항 36

제35항에서,

상기 제1 톨리브덴 합금막의 상기 텅스텐의 조성비는 원자 백분율 5~15%의 범위인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 37

제36항에서,

상기 텅스텐의 조성비는 원자 백분율 9%~11%의 범위인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 38

제37항에서,

상기 텅스텐의 조성비는 원자 백분율 10%인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 39

제38항에서,

상기 제2 톤리브덴 합금막의 상기 텅스텐의 조성비는 원자 백분율 18~22%의 범위인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 40

제39항에서,

상기 제2 톤리브덴 합금막의 상기 텅스텐의 조성비는 원자 백분율 20%인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 41

제40항에서,

상기 금속막을 쟁각하는 쟁각액은  $\text{HNO}_3 : (\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6 : \text{H}_2\text{O}$ 인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 42

제41항에서,

상기  $\text{HNO}_3$ 의 농도는 4~10%인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 43

제42항에서,

$(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6$ 의 농도는 10~15%인 박막 트랜지스터 기판의 제조 방법.

#### 청구항 44

투명한 절연 기판 위에 형성되어 있으며, 원자 백분율 0.01%~20% 미만의 텅스텐과 나머지 톤리브덴 및 불가피한 불순물로 이루어진 톤리브덴 합금막으로 이루어진 게이트 전극.

상기 게이트 전극. 덮는 게이트 절연층,

상기 게이트 절연막 상부에 형성되어 있는 비정질 실리콘층,

상기 비정질 실리콘층 상부에 형성되어 있는 도핑된 비정질 실리콘층,

상기 도핑된 비정질 실리콘층 상부에 형성되어 있으며 하부는 크롬막 상부는 블리브덴 합금막의 이중막으로 이루어진 소스/드레인 전극,

상기 드레인 전극과 연결되어 있는 화소 전극을 포함하는 표시 장치용 박막 트랜지스터 기판.

#### 청구항 45

제44항에서,

상기 게이트 전극의 상기 블리브덴 합금막의 하부에 알루미늄 또는 알루미늄 합금으로 이루어진 도전막을 더 포함하는 표시 장치용 박막 트랜지스터 기판.

#### 청구항 46

제45항에서,

상기 게이트 전극의 상기 텅스텐의 조성비는 원자 백분율 5~15%의 범위인 표시 장치용 박막 트랜지스터 기판.

#### 청구항 47

제46항에서,

상기 게이트 전극의 상기 텅스텐의 조성비는 원자 백분율 9%~11%의 범위인 표시 장치용 박막 트랜지스터 기판.

#### 청구항 48

제47항에서,

상기 게이트 전극의 상기 텅스텐의 조성비는 원자 백분율 10%인 표시 장치용 박막 트랜지스터 기판.

#### 청구항 49

제48항에서,

상기 도전막은 알루미늄과 희토류 금속 또는 전이 금속으로 이루어진 표시 장치용 박막 트랜지스터 기판.

#### 청구항 50

제49항에서,

상기 도전막은 전이 금속 또는 희토류 금속은 원자 백분율 5% 미내에서 함유되어 있는 표시 장치용 박막 트랜지스터 기판.

#### 청구항 51

제50항에서,

상기 소스/드레인 전극의 상기 텅스텐의 조성비는 원자 백분율 0.01~25%의 범위인 표시 장치용 박막 트랜지스터 기판.

#### 청구항 52

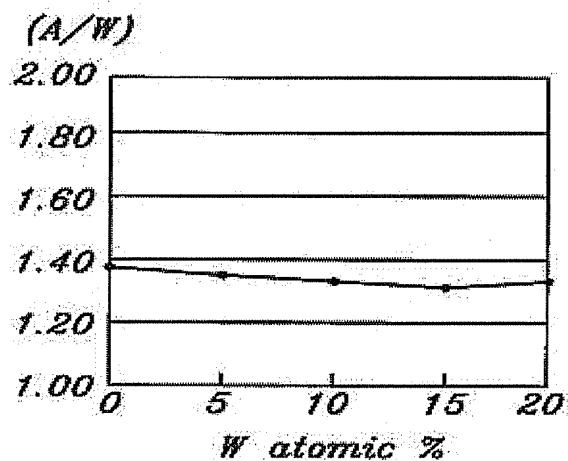
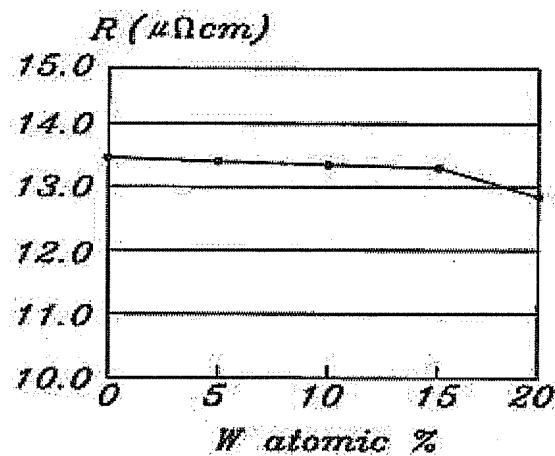
제51항에서,

상기 소스/드레인 전극의 상기 텅스텐의 조성비는 원자 백분율 18%~22%의 범위인 표시 장치용 박막 트랜지스터 기판.

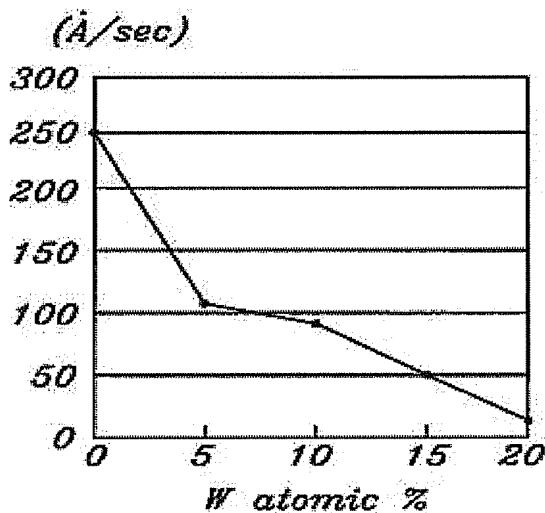
#### 청구항 53

제52항에서,

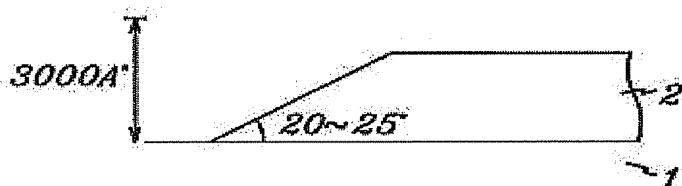
상기 소스/드레인 전극의 상기 텅스텐의 조성비는 원자 백분율 20%인 표시 장치용 박막 트랜지스터 기판.

~~EB1~~~~EB1~~~~EB2~~

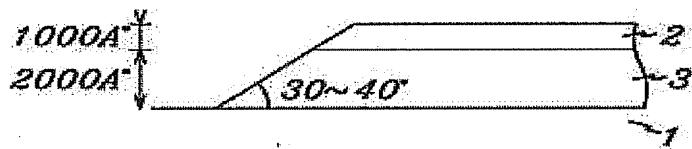
EB3



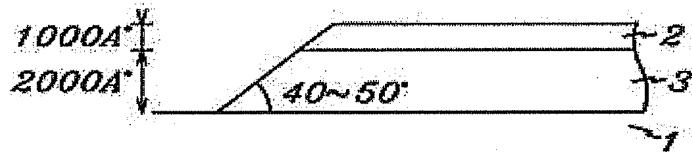
EB4



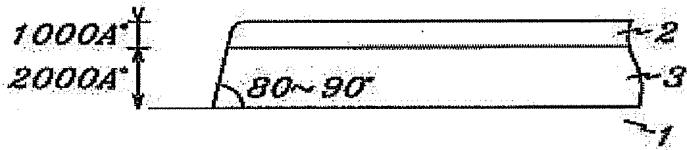
EB5



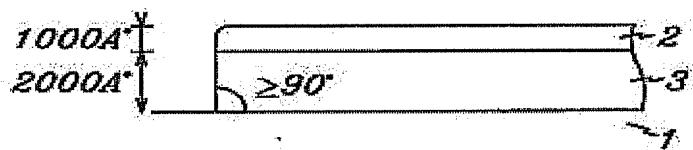
EB6



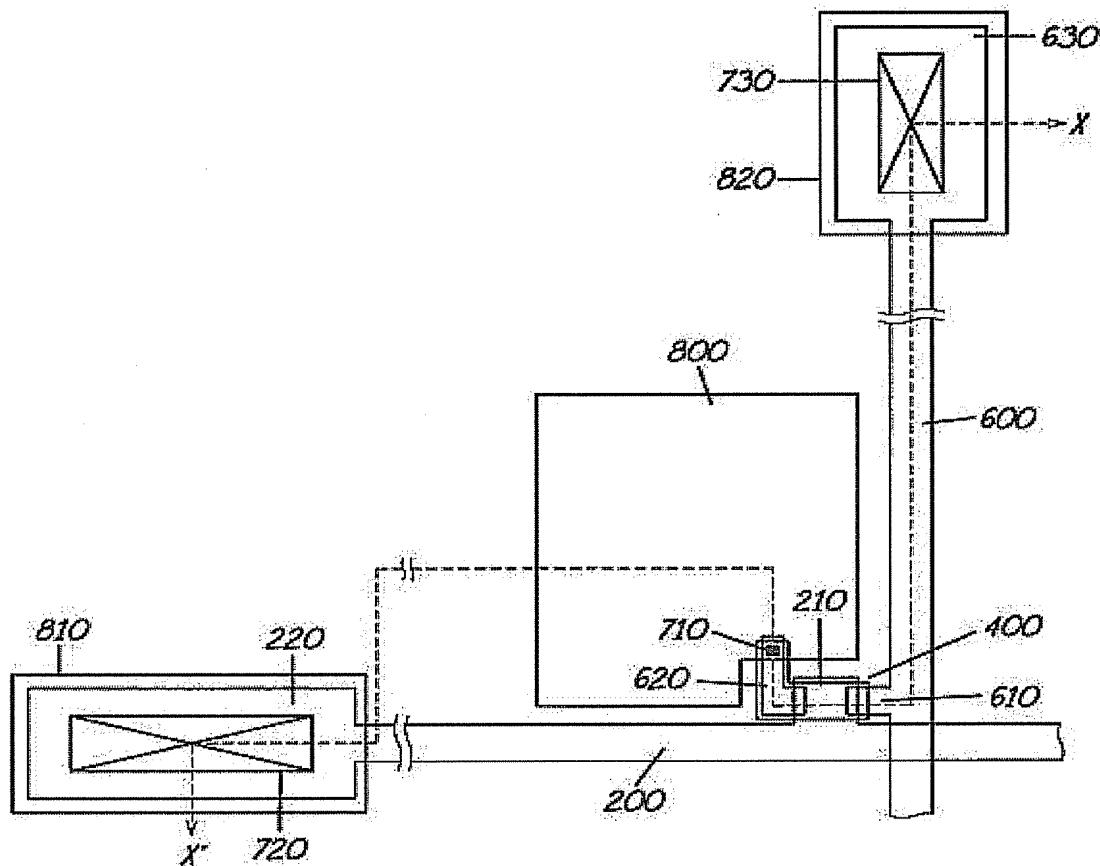
EB7



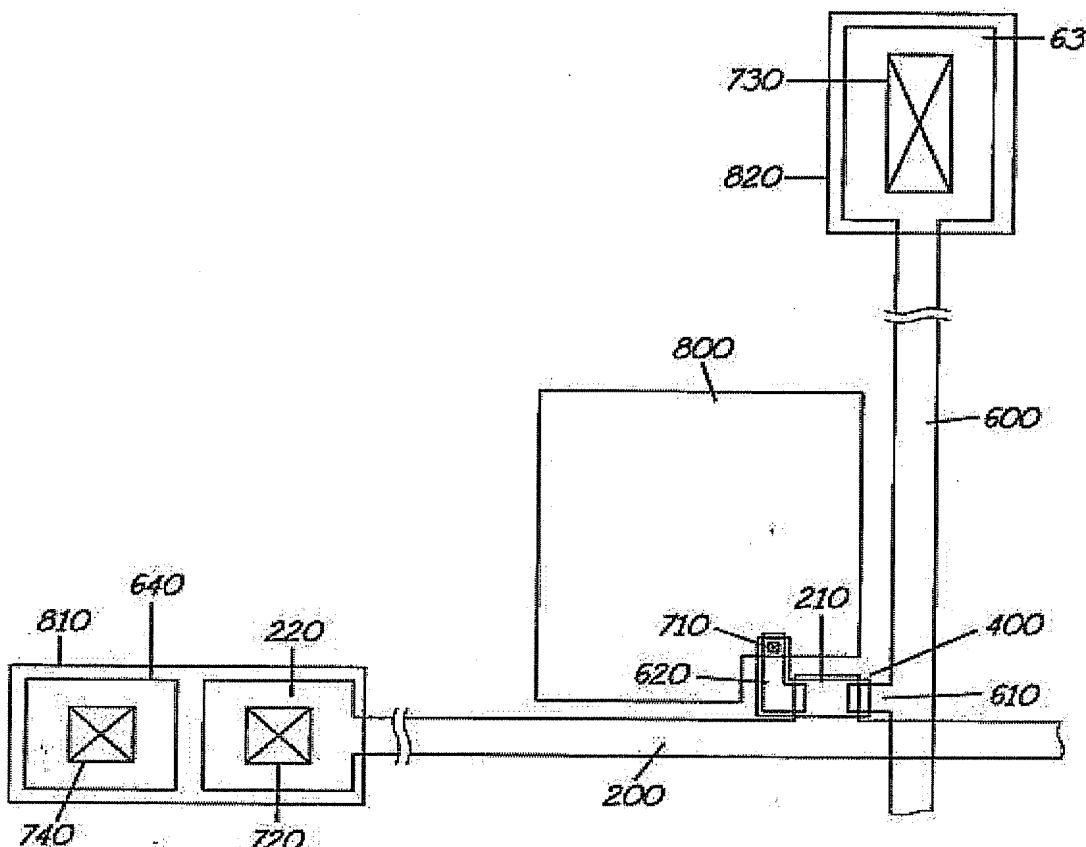
SHEET



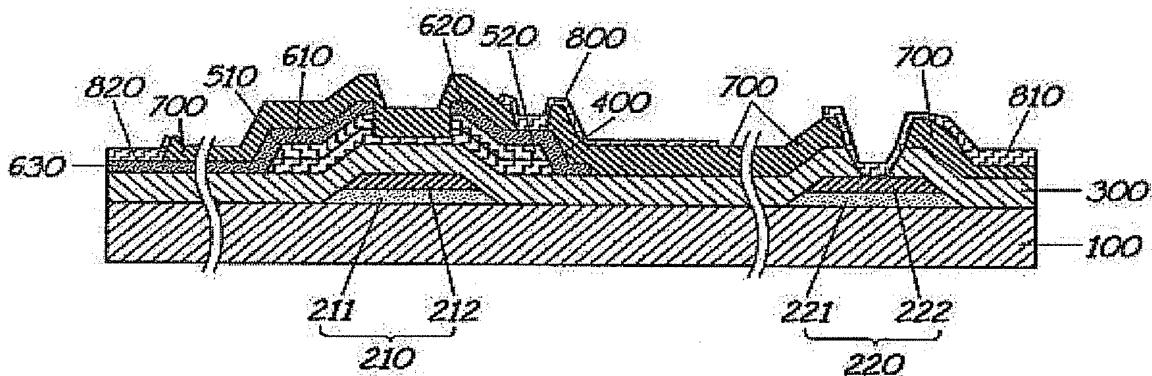
SHEET



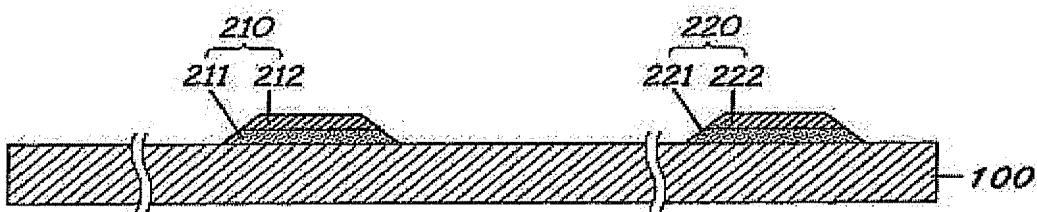
三〇九



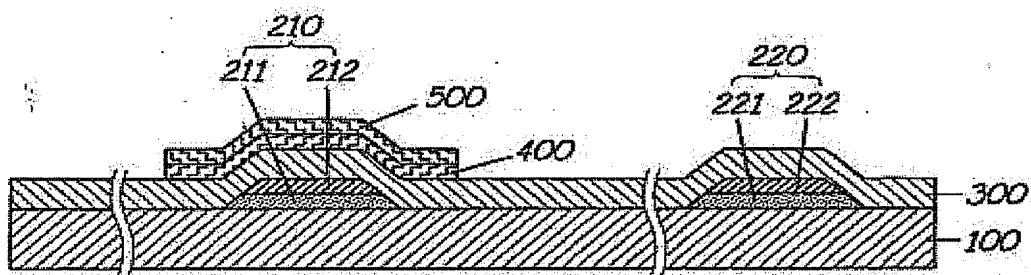
三



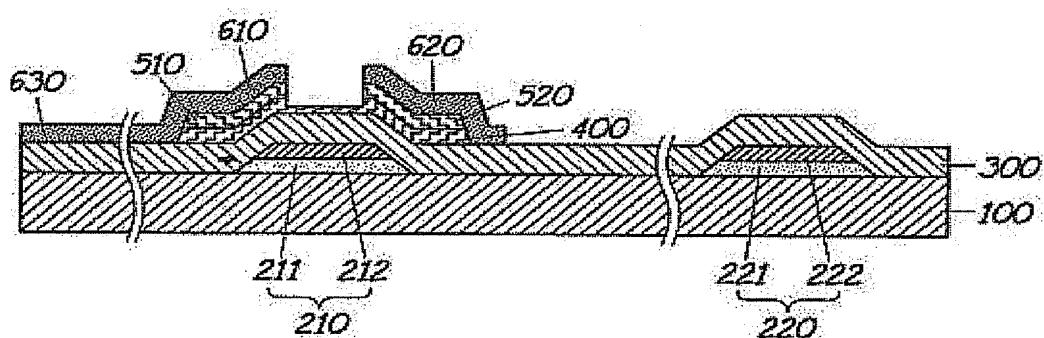
卷之三



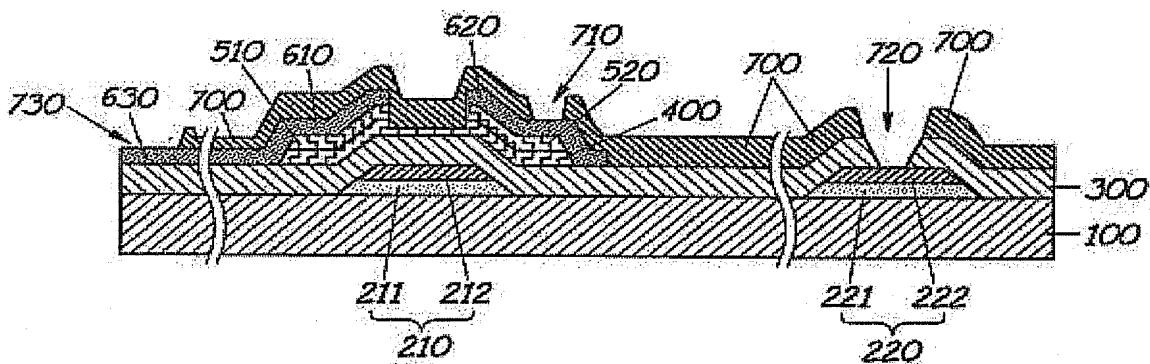
도면11b



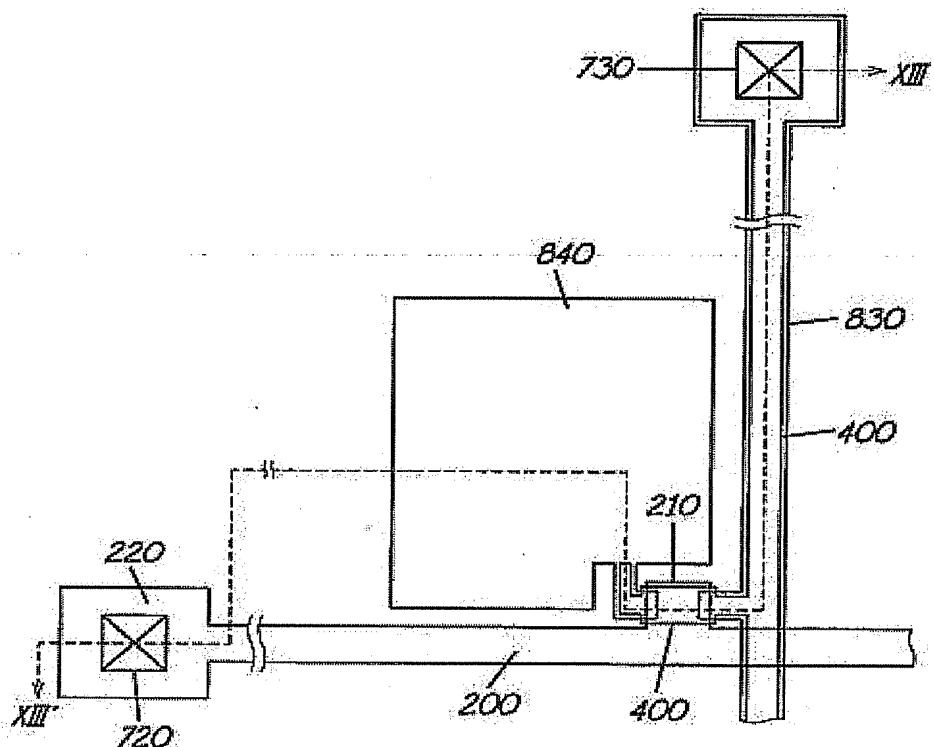
도면11c



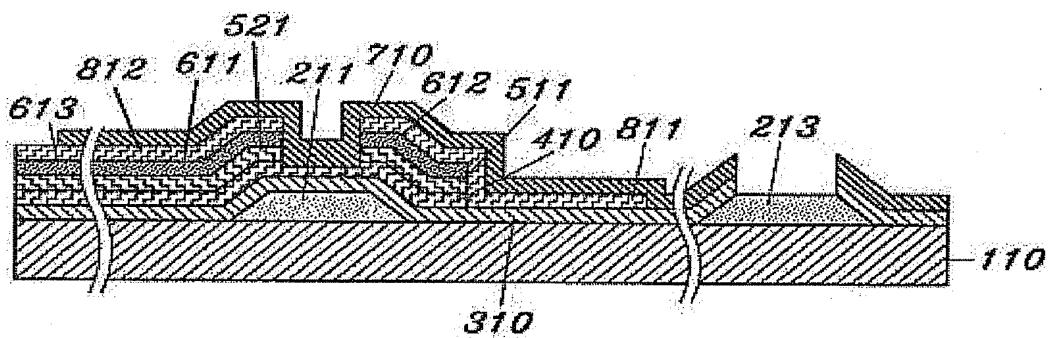
도면11d



도면12



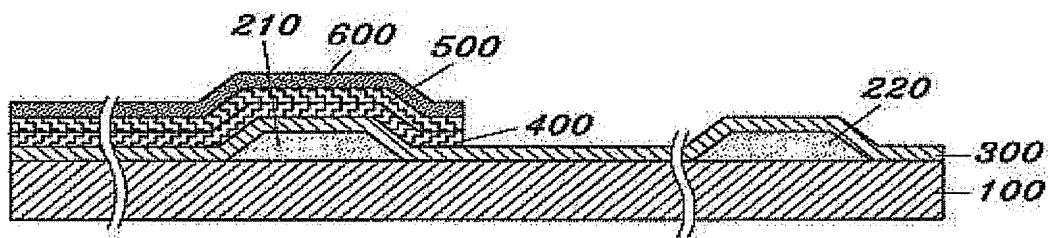
도면13



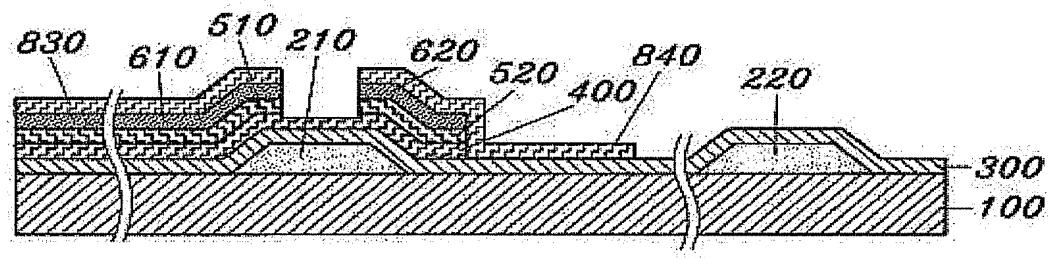
도면14a



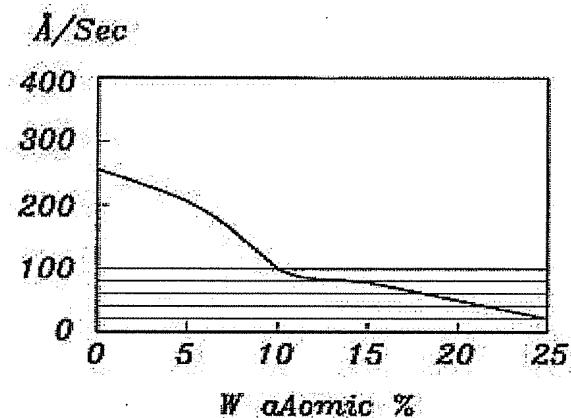
도면14b



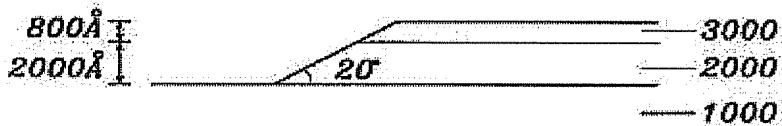
도면14c



도면15



도면16



도면17

